

〔19〕中华人民共和国专利局

〔51〕Int.Cl.⁴



〔12〕发明专利申请公开说明书

H01L 27/04

H01L 21/70

H01L 21/04

〔11〕 CN 86 1 01789 A

CN 86 1 01789 A

〔43〕公开日 1986年11月19日

〔21〕申请号 86 1 01789

〔22〕申请日 86.3.19

〔30〕优先权

〔32〕85.3.23 〔33〕英国 〔31〕8507624

〔71〕申请人 标准电话电报公共有限公司

地址 英国伦敦

〔72〕发明人 彼得·丹尼斯·斯科维尔

彼得·弗里德·布洛姆利

罗格·莱斯利·巴克

〔74〕专利代理机构 中国国际贸易促进委员会专利

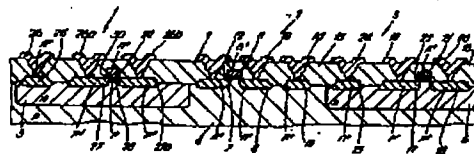
代理部

代理人 王以平

〔54〕发明名称 半导体器件

〔57〕摘要

一种集成电路,其中,双极晶体管(1)和CMOS晶体管(2,3)在衬底上同时形成。CMOS晶体管的栅(11,21)与双极晶体管的发射极(29)用同一材料形成,双极器件的基极接触由相当于 n 阱MOS管的源、漏区(17,18)的区域(27,27a)构成,并由基区注入(28)桥接。增加两次光刻掩膜及一次基区注入改进了普通的CMOS工艺。一次光刻步骤决定(28)的范围,另一次光刻步骤决定氧化层(30)在(28)上的范围。基极接触用半自对准的方法产生。



242/8604833/24

北京市期刊登记证第1405号

权 利 要 求 书

1、 一种集成电路，它包括一个具有一个栅极的MOS晶体管和
一个具有与栅材料相同的发射极的双极晶体管。

2、 一种集成电路，它包括一个具有一多晶硅栅极的MOS晶体
管以及一个具有一多晶硅发射极的双极晶体管。

3、 一种如权利要求2所述的集成电路，其中多晶硅栅极与发
射极是由同一个多晶硅层制造的。

4、 一种如权利要求2或3所述的集成电路，它包括具有在一
种导电类型的衬底上形成的另一导电类型阱的CMOS晶体管，其中双
极晶体管做在相应的另一导电类型的阱中，此阱构成双极晶体管的集
电极，双极晶体管的基极为上述相应阱中转变成第一种导电类型的第
一个区域，并与CMOS晶体管的一个MOS晶体管的源、漏区同步形成，
该MOS晶体管做在此种导电类型的相应阱中，双极晶体管的第一个区
域由桥接的基区相连，而其中多晶硅发射极通过埋入多晶硅发射极下
面的氧化层上的一个窗口与桥接的基区相连。

5、 一种由权利要求2或3所述的集成电路，它包括具有在一
种导电类型的衬底上形成的另一导电类型阱的CMOS晶体管，其中双
极晶体管做在置于另一导电类型阱内的第一导电类型的阱中，第一种
导电类型的阱构成双极晶体管的集电极，双极晶体管的基极为上述第
一种导电类型阱中转变成另一种导电类型的第二个区域，并与CMOS
晶体管的一个MOS晶体管的源、漏区同步形成，该MOS晶体管直接
做在衬底上，双极晶体管的第二个区由桥接式基区相连，而其中多晶
硅发射极通过埋入多晶硅发射极下面的氧化层上的一个窗口与桥接的
基区相连。

6、 一种制造包括双极和MOS晶体管在内的集成电路的方法，

其中包括用同一种材料形成MOS晶体管栅及双极晶体管发射极的方法。

7、一种制造包括双极和MOS晶体管在内的集成电路的方法，其中包括用多晶硅形成MOS晶体管栅及双极晶体管发射极的方法。

8、一种制造如权利要求7所述的集成电路的方法，其中MOS晶体管栅和双极晶体管发射极在一共同的多晶硅层上形成。

9、一种制造如权利要求8所述的集成电路的方法，其中包括带有在一种导电类型的衬底上另一导电类型阱的CMOS晶体管，这里的双极晶体管与CMOS晶体管同步做在相应的第一种导电类型的阱中，该阱构成双极晶体管的集电极，该双极晶体管除了附加了两道工艺外，所用的工艺与做在同一种导电型阱中的CMOS的MOS晶体管所需的相同，附加的第一道工艺在相当于另一导电型阱中的MOS晶体管的源、漏区的两个区域之间形成桥接式基区由此形成双极晶体管的基极，附加的第二道工艺在埋于多晶层下的氧化层上开一个窗口，多晶发射极通过此窗口与双极晶体管的基极相接。

10、一种制造如权利要求8所述的集成电路的方法，其中包括带有在一种导电类型的衬底上的另一导电类型阱的CMOS晶体管，其中双极晶体管做在置于另一种导电类型阱中的第一种导电类型的阱内，该阱构成双极晶体管的集电极，双极晶体管与CMOS晶体管同步形成，所用工艺除了增加两个工艺步骤外与在衬底上直接做出的CMOS晶体管的MOS晶体管所需的相同，所增的第一步工艺是为了在相当于在衬底上形成MOS晶体管的源和漏区的两个区域间形成桥接式基区，由此形成双极晶体管的基极，所增的第二步工艺是在双极晶体管的多晶层下的氧化层上开一个窗口，由此形成多晶发射极与双极晶体管的基极的接触。

11、一种制造如权利要求8所述的集成电路的方法，其中包括

带有在相反导电类型的衬底上形成的第一种导电类型的阱的 CMOS 晶体管，其中双极晶体管与 CMOS 晶体管同步做在相应的第一种导电类型的阱中，而且所用工艺相同，双极晶体管的加工包括增加两个掩模的工序以及一个注入工序，该工序用来完成双极晶体管基区的结构并获得多晶硅发射极与基区间的接触。

12、 一种用如权利要求 6 到 11 中任一条所要求的方法制成的集成电路。

13、 一种制造带有半自对准基极接触的双极晶体管的方法，其中包括在硅衬底上的另一种导电类型的表面区域中形成第一种导电类型基区的步骤，在表面上形成一个部分并与基区接触的步骤，该被掺杂部分为另一种导电类型并构成晶体管的发射极，在上述与基区接触并互相对应的表面区域上用该部分作掩蔽通过注入形成一对第一种导电类型基极接触区的步骤，以及在上述表面上与基极接触区隔开的区域形成另一种导电类型的集电极接触步骤。

14、 一种制造如权利要求 13 所述的双极晶体管的方法，其中，表面区域是一个在一种导电类型衬底上的另一种导电类型的阱。

15、 权利要求 13 或 14 所述的一种方法，其中电极是多晶硅。

16、 用权利要求 13 到 15 中任一条所述的方法制造的双极晶体管。

17、 一种集成电路结构，该结构包括一衬底，该衬底上有一 NPN 双极晶体管、一个与该双极晶体管相邻的 N 沟道 MOS 晶体管，以及一个与该 N 沟道晶体管相邻的 P 沟道晶体管，其中双极晶体管与 P 沟道晶体管做在衬底相应的 N 型阱中。

半 导 体 器 件

本发明涉及半导体器件，特别是双极晶体管，以及包含双极晶体管和场效应晶体管，特别是CMOS（互补型金属——氧化物——硅）晶体管在内的集成电路。

场效应电路主要用于数字应用，而对于模拟应用（如无线电信号处理）来说，双极型电路则更适合。在某些应用领域，如电话，需要处理数字和模拟两种信号，这通常需要准备两种各自带有辅助外部电路的电路片。迄今为止，已进行了许多尝试来把双极和MOS工艺结合到同一块电路片上，但还没有一个完全成功。一般所用的方法都是在SBC（标准埋层集电极）双极型工艺上加上一个CMOS性能。这就导致器件的双极型性能很好，而CMOS性能较差。如果把双极型器件加在好的CMOS工艺上，则三重扩散结构结果导致很高的寄生电阻，因此双极性能很差。

根据本发明的一个构思，提供了一个集成电路，该集成电路包括一个具有一个栅的MOS晶体管和一个具有与栅材料相同的发射极的双极晶体管。

本发明的另一个方面是提供一个集成电路，该电路包括一个带有一多晶硅栅的MOS晶体管和一个带有一多晶硅发射极的双极晶体管。

根据本发明的进一步构思，提供了一个制造包括双极和MOS晶体管的集成电路的方法，此方法包括用同一材料形成MOS晶体管的栅极及双极晶体管发射极的步骤。

根据本发明的另一个构思，提供了一个用多晶硅形成MOS晶体管的栅极及双极晶体管发射极的步骤的制造集成电路的方法，该电路包

括双极和MOS晶体管。

根据本发明的进一步构思，提供了制造具有半自对准基极接触的双极晶体管的方法，其中包括一系列的步骤，这些步骤是：在硅衬底上的另一种导电类型的表面区域内形成第一导电类型的基区；在表面形成与基区相接的一个部分，这个部分被掺成第二种导电类型，并构成该晶体管的发射极；利用该部分作掩蔽，通过注入工艺在上述与基区相接并互相对应的表面区域形成第一种导电类型的一对基极接触区；以及在上述表面上与基极接触区隔开的区域形成第二种导电类型的集电极。

现在参照附图描述本发明的实施例，其中：

图1用截面图表示本发明一个实施例的双极/CMOS结构。

图2表示在P-阱中形成的双极晶体管，图1中示出的是n-阱。

图3到7用截面图表示制造具有n-阱的双极/CMOS结构的各种不同的步骤。

图1所示的双极/CMOS结构包括一个双极晶体管1、一个n沟道MOS晶体管2以及一个p沟道MOS晶体管3。晶体管2直接做在p型衬底4上，而晶体管1和3分别做在置于衬底4上的n型阱5和6中。n沟道晶体管2用普通的CMOS工艺制造，它分别包括 n^+ 源、漏区7和8，与源漏区7和8相连的外部电接触9和10（它们可以用金属化工艺提供），一个和栅氧化层12在一起的多晶硅栅11，一个与衬底的 p^+ 接触13（可以用金属化工艺提供），以及隔离氧化层15。栅11也通过未示出的方法与外部电连接。p沟道晶体管3也用普通的CMOS工艺做在n-阱6中，它分别包括 p^+ 源、漏区17和18，与源、漏区17和18的外部电接触19和20（用金属化方法提供），一个与栅氧化层22在一起的多晶硅栅21，一个与n-阱6的 n^+

接触23，一个与 n^+ 接触23的外部电接触24（用金属化方法提供），以及隔离氧化层15。

正如由图1可以得知，双极晶体管1在截面上与p沟道晶体管3非常相似，而且事实上可以在标准CMOS工艺中所用的掩模数量上加上两块附加的掩模与CMOS器件集成制做。双极晶体管1使用n—阱5作为它的集电极，它有一个 n^+ 集电极接触25及与外部的电接触26（用金属化方法提供）。晶体管1的基极由两个带有两个外部电接触26a和26b的 p^+ 接触区27和27a组成，这两个区域通过一个p型桥接区域28相连（如图所示），发射极由一个 n^+ 多晶硅区域29构成，其与p型区28接触，发射极也有一个外部电接触（未示出）。

双极晶体管1包含的组成部分与p沟道晶体管3的相同并与此同时制造，虽然可以独立地制造同样的双极晶体管。生产多晶硅发射极晶体管1所需的两个附加掩模用于限定形成基区28所需的注入区域以及在“栅”氧化层30上开窗口，以便使多晶硅与基区28接触。虽然栅氧化层与隔离氧化层15同时形成（在图3到图8中表示得更清楚），但在图1和图2中，把栅氧化层和保留的隔离氧化层15分开来表示。

这样，用n—阱作为集电极，使双极型器件直接与n—阱CMOS工艺相配合。为了在p—阱工艺中使用，需要增加一步n注入，如磷或砷。这个步骤可以通过向p—阱注入其深度的一部分来实现。由于在阱中及场区内氧化层的厚度不同，所以对于n阱能使用无掩模注入工艺，当然也能用掩模注入。这样在p阱5'中生成一个n阱5（叠层阱），再用n阱作为双极晶体管的集电极区，如图2所示。

现在参照图3至8把制备图1中结构所用的基本工艺阶段略述一下。用第一块掩模和光刻胶（未示出）把n型阱36和37限制在

p型衬底32上，如通过离子注入磷，然后用常规的方法推进。用第二个掩模（未示出）在p型硅衬底32的表面上淀积的氮化硅层31上，或在二氧化硅上淀积的氮化硅层上光刻出用以区别器件区域和生长场氧化层区域的图形。氮化物区域31置于衬底32表面相应于器件区域的地方，如图3所示。场掺杂剂（未示出）可用适当的掩模通过开在氮化物层31上的窗口注入衬底32的表面，例如离子注入硼和/或磷。然后把衬底氧化，以便在窗口中形成场氧化层33。将氮化物区域31腐蚀掉并进一步氧化衬底，以便在厚的场氧化层区域33之间得到薄氧化物区域34（图4）。用第三块掩模（未示出）在光刻胶层41上定出窗口40（图5），通过此窗口，离子注入p型掺杂剂，如硼，形成双极晶体管的基区42。该第三个掩膜就是上面提到的两个附加掩模之一。用第四个掩膜（未示出）以及合适的光刻胶层，在覆盖于基区42上的薄氧化层区域上开一个窗口43。这次对准如下面所表示的那样并不是关键性的。如果多晶硅晶体管需要一界面氧化层，这时就能作适当的处理。这第四个掩模就是另一个附加掩模。去掉光刻胶，淀积一层未掺杂的多晶硅，并用砷或磷离子注入。然后将这层多晶硅光刻形成多晶硅发射极44和栅45和46（图6）。借助于多晶硅44和46，以及由经过光刻成型的光刻胶41a保护薄氧化层区域上的一定区域，用 p^+ 掺杂剂，如硼，进行离子注入，提供双极晶体管的基极接触区47、n沟道MOS晶体管的衬底接触48以及p沟道MOS晶体管的源和漏区49及50。再用下一个掩模使光刻胶层51光刻显影，从而定出窗口，由此离子注入 n^+ 掺杂剂，如砷，为双极器件提供集电极接触52、为n沟道MOS晶体管提供源、漏区域53和54以及为p沟道MOS晶体管提供阱接触55（图7）。去掉光刻胶51，氧化该晶片并淀积一层磷硅玻璃，产生一个厚度为图1中

层15的“氧化”层。用另一个掩模在氧化层上开出窗口，用于提供与下面各区域的电接触，再对经过这些加工的衬底进行金属镀膜，还要用另一个掩模将金属适当地光刻以产生与图1相应的结构。进一步可以使用n沟道和p沟道MOS晶体管的常规的阈值调整所用的掩模和加工工艺。

通过利用高效多晶硅发射极结构，能够确定双极晶体管基区和集电区的最佳掺杂水平，以产生低的基极和集电极串联电阻，同时还能达到高的电流增益。这一水平在一般的双极晶体管中还没有达到。

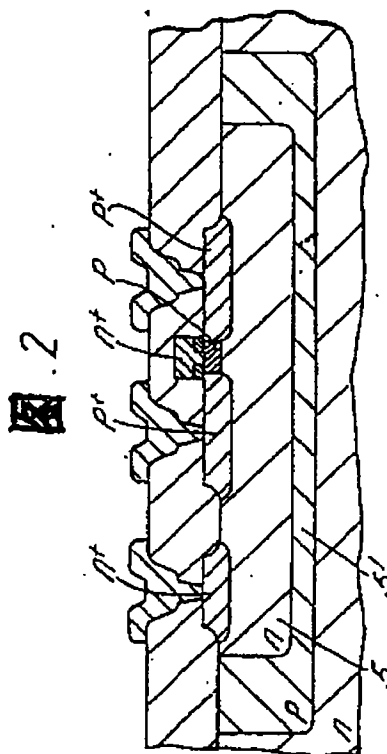
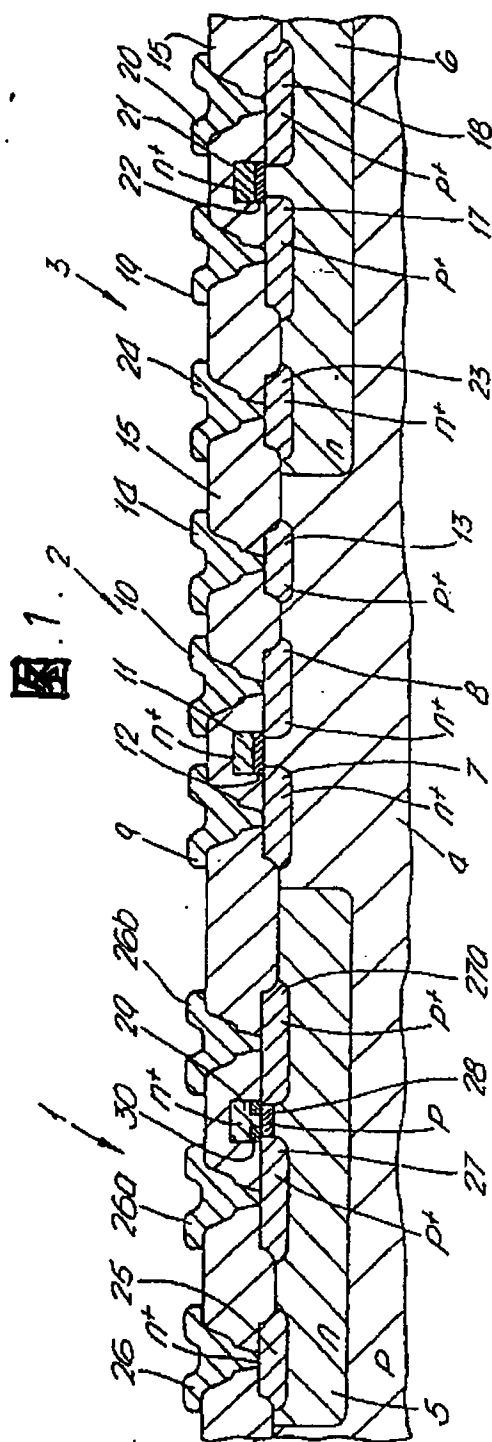
借助于多晶硅栅，CMOS晶体管的源、漏区域用全对准方法制造，而双极晶体管的发射极只能与由区域42和47组成的基极半自动对准，不过性能不因此受影响。

目前已制造出具有图1所示结构的双极晶体管，它只比普通CMOS工艺多用两个附加掩模，已发现该晶体管具有良好的性能。因此，这种把双极和CMOS工艺集成的方法提供的器件能有良好的模拟和数字功能特性，双极和CMOS晶体管在同一电路片上同时形成。

上面叙述的具体的实施例中使用了多晶硅用来做MOS晶体管的栅以及双极晶体管的发射极，但这不是唯一可用的材料，如果其它的材料具有合适的特性，也可以用来形成MOS晶体管的栅及双极晶体管的发射极。这材料可以是同时满足载流子源和形成发射极的掺杂剂要求的导电材料。能用来代替多晶硅的材料有掺氧多晶硅、高熔点金属或高熔点金属硅化物、非晶硅（经过氢化处理或其他方法处理的）。

掺杂多晶硅可用我们的未决GB申请第8504725号（系列号：

P. D. Scovell-R. L. Baker 11-3）中所叙述的工艺制造。



1/4

图 3.

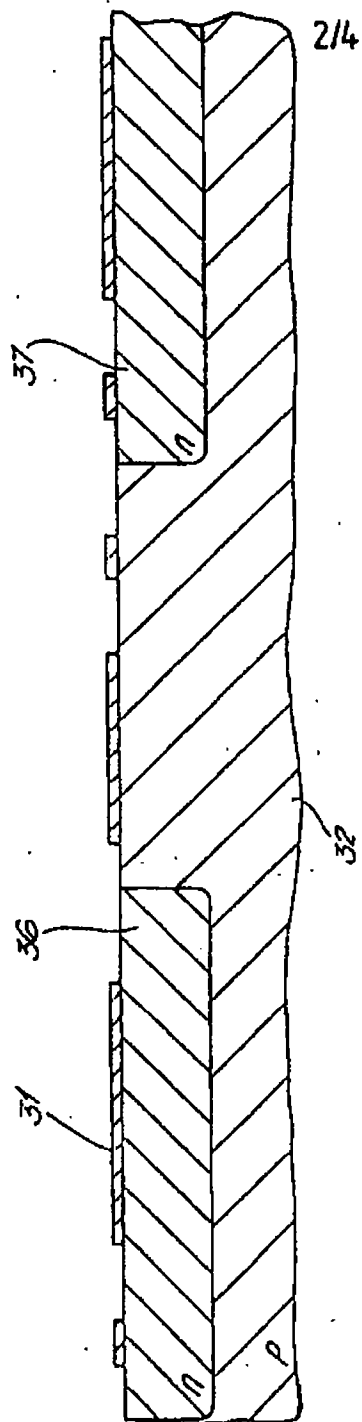


图 4.

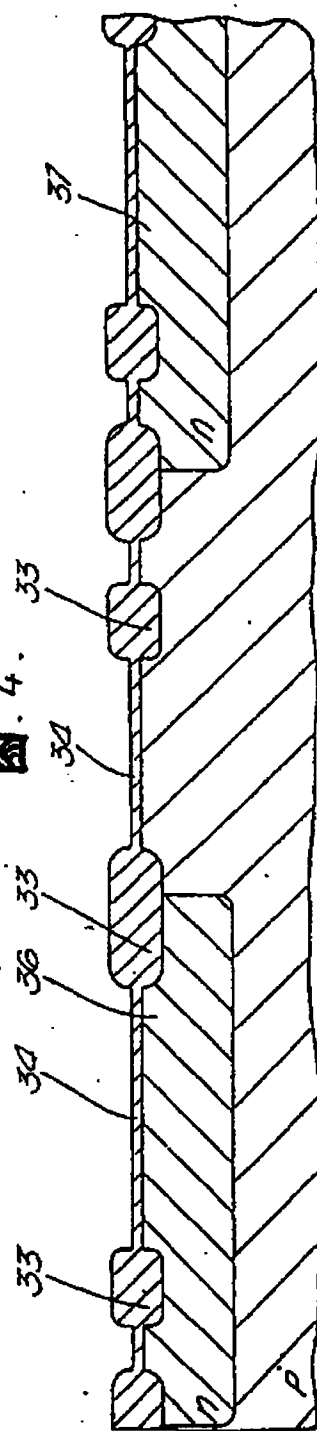


图. 5.

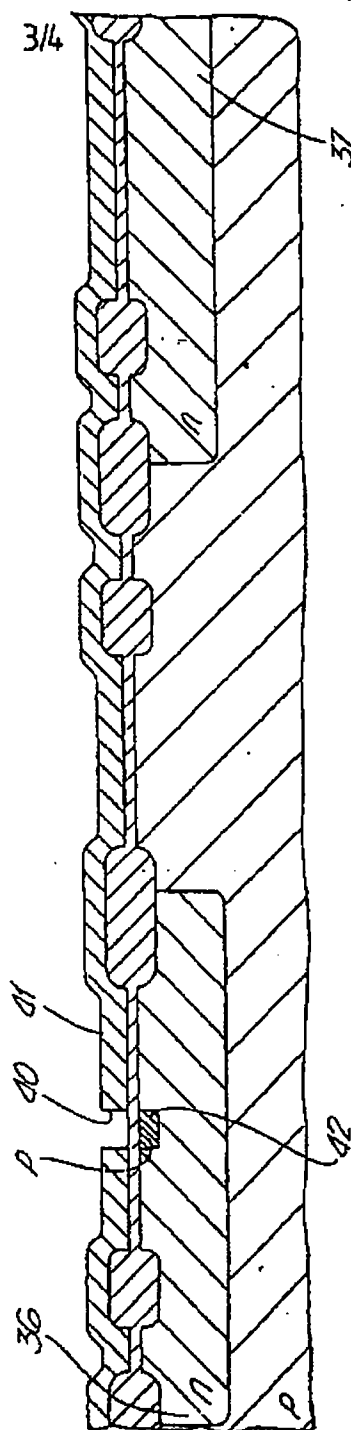


图 6.

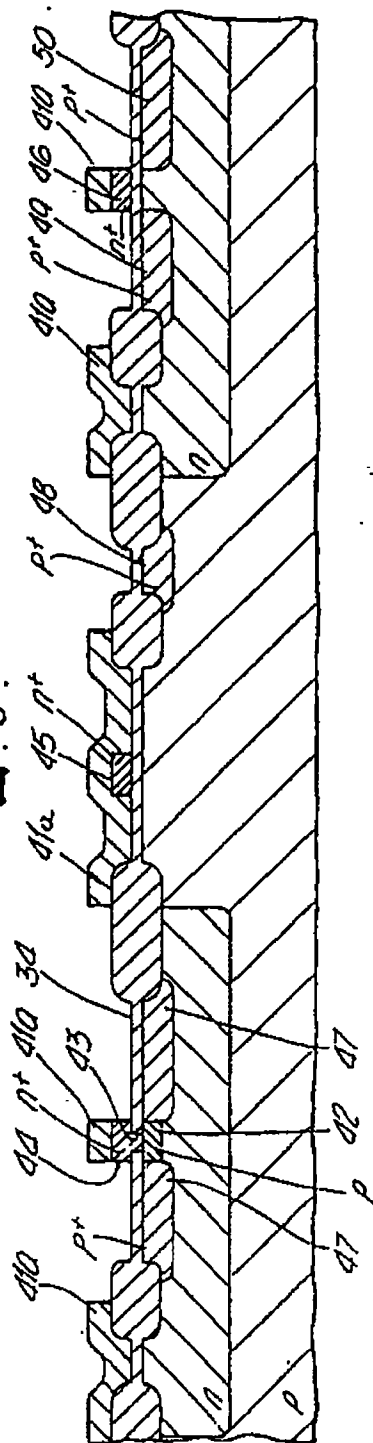


图 7.

